

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-138753

(43)Date of publication of application : 13.06.1991

(51)Int.Cl.

G06F 15/16
G06F 9/445
G06F 13/00

(21)Application number : 01-277655

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.10.1989

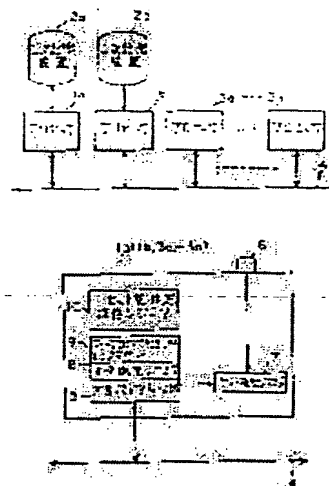
(72)Inventor : NISHIKAWA TAKAHIRO

(54) BOOT LOADER FOR MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To easily restart a processor after abnormality of an operating system by referring to a preset state holding register, where the state before restart is held, to execute boot load by a secondary storage device at the time of restarting the processor.

CONSTITUTION: Board discrimination numbers are used as boot processor discrimination numbers on a multiprocessor 1a, 1b, and 3a to 3n. The impossibility of boot load of the system due to overlap of discrimination numbers is prevented, and a boot processor discriminating register set 9 which can be accessed by all processors 1a, 1b, and 3a to 3n is provided, and processors 3a to 3n to which secondary storage devices 2a and 2b capable of boot load are not connected are selected as boot processors to prevent the impossibility of boot load of the system. Further, the past rest classification is referred by a reset history register 7 to perform the execution control of boot adapted to the state of the processor. Thus, the processor is easily restarted after abnormality.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-138753

⑤ Int. Cl.⁵

G 06 F 15/16
9/445
13/00

識別記号

4 2 0 S
3 0 5 A

庁内整理番号

6945-5B
7629-5B
7361-5B

④ 公開 平成3年(1991)6月13日

G 06 F 9/06 4 2 0 K
審査請求 未請求 請求項の数 1 (全6頁)

⑬ 発明の名称 マルチプロセッサシステムのブートロード装置

⑭ 特 願 平1-277655

⑮ 出 願 平1(1989)10月25日

⑯ 発 明 者 西 川 隆 博 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 田澤 博昭 外2名

明 細 書

1. 発明の名称

マルチプロセッサシステムのブートロード装置

2. 特許請求の範囲

ブートプロセッサとなることが可能なプロセッサを含む複数のプロセッサを接続している共通バスと、上記プロセッサの各々に設けられて、上記共通バスとのアクセスを制御する共通バスインタフェース部と、上記プロセッサの各々に設けられて、自らをリセット状態にするローカルリセット用のリセットスイッチと、上記共通バスインタフェース部および上記リセットスイッチから得られた上記プロセッサのリセット情報の履歴を記憶するリセット履歴レジスタと、上記共通バスインタフェース部を通して上記各プロセッサに対するアクセスを可能にするボード識別レジスタと、上記プロセッサのうち、ブートロードが可能なプロセッサをブートプロセッサとして決定し、この情報を記憶するブートプロセッサ判別用レジスタセットと、上記ローカルリセットでは初期化せずに保

存した各プロセッサの過去の状態を記憶するリセット前状態保存レジスタと、このリセット前状態保存レジスタにより自己プロセッサが過去にブートプロセッサであったとき、または上記ブートプロセッサ判別用レジスタ^{セット}にもとづき自己プロセッサがブートプロセッサと決定されたとき、各々ブートロードを実行する二次記憶装置とを備えたマルチプロセッサシステムのブートロード装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、共通バスで結合された多数のプロセッサボードの集合体が全体で一つの機能を果たすマルチプロセッサシステムにおいて、このマルチプロセッサシステムが実行すべきソフトウェアを二次記憶装置から各プロセッサのメモリ領域にセットするマルチプロセッサシステムのブートロード装置に関するものである。

〔従来の技術〕

第4図は例えば特開昭63-104167号公報に示された従来のマルチプロセッサシステムのブー

BEST AVAILABLE COPY

特開平3-138753 (2)

ロード装置を示すブロック接続図であり、図において、1a, 1b, ..., 1n は、共通バスにより結合されているプロセッサであり、11a, 11b, ..., 11n はプロセッサ 1a~1n 毎に識別番号を設定できる識別番号操作部、4 は複数のプロセッサ 1a~1n を結合している共通バス、12 は共通バス 4 に接続された共通メモリ、13a, 13b, ..., 13n は上記それぞれの識別番号に対応する記憶領域である。

次に、動作について第5図のフローチャートを用いて説明する。まず、電源を投入し(ステップST21)、共通バス4の状態監視線をアクティブにする。すると、各プロセッサ 1a~1n は自己診断を行い(ステップST22)、識別番号操作部 11a~11n で指定された識別番号に従って、それに対応した共通メモリ 12 上の記憶領域 13a~13n に自己識別番号を書き込み(ステップST23)、自己の状態監視線をリリースする。この後、システム全体の状態監視線がリリースされているかどうかを調べ(ステップST24)、リリースされていない場合に、所定時間を経過したと判定されると

(ステップST25) 各プロセッサの異常処理を行う(ステップST26)。システムの状態監視線のリリースが指定時間以内に正常に行われていれば、自己がブートプロセッサであるかどうか判定する(ステップST27)。この判定は、共通メモリ 12 上の識別番号記憶領域 13a~13n に自己の値よりも高いプライオリティの識別番号が記憶されていなければ、自己がブートプロセッサとなる。次に、ブートプロセッサと判別されたプロセッサはブート動作を行い、ブート完了後全てのプロセッサに起動命令を送る(ステップST28)。一方、ブートプロセッサと判別されなかったプロセッサはブートプロセッサからの起動指令を待つ(ステップST29)。この後、全てのプロセッサ 1a~1n は通常の動作を行う。

〔発明が解決しようとする課題〕

従来のマルチプロセッサシステムのブートロード装置は以上のように構成されているので、システム運用中にプロセッサ 1a~1n の1つに異常が発生したとき、そのプロセッサ 1a~1n にローカ

ルにリセットをかけて正常な状態に復帰させることができず、また、ブートプロセッサの決定プロセスで必ず共通メモリ 12 が必要になるという制約があるほか、ブートプロセッサ判定用の識別番号の設定に何等の制約が無いので、ブートプロセッサ識別番号が各プロセッサ 1a~1n 間で重複した場合、システムが正常に立ち上がらないなどの課題があった。

この発明は上記のような課題を解消するためになされたもので、システム運用中にマルチプロセッサ上の単一のプロセッサにリセットをかけても、正常にシステムの機能を回復することができ、また、共通メモリを持たないマルチプロセッサシステムでも有効なブートプロセッサ決定プロセスをもつことができるとともに、ブートプロセッサ識別番号の重複によるブート不可能状態が発生しないようにすることができるマルチプロセッサシステムのブートロード装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係るマルチプロセッサシステムのブ

ートロード装置は、ブートプロセッサとなることが可能なプロセッサを含む複数のプロセッサを共通バスに接続し、これらの各プロセッサにはその共通バスとのアクセスを制御する共通バスインタフェース部および自らをリセットするローカルリセット用のリセットスイッチを設け、これらの共通バスインタフェース部およびリセットスイッチから得られるリセット情報の履歴をリセット履歴レジスタに記憶し、また、上記共通バスインタフェース部を通して各プロセッサに対してボード識別レジスタがアクセスを可能にし、ブートプロセッサ判別用レジスタセットを設けてブートロードが可能なプロセッサを決定し、上記ローカルリセットでは初期化せずに保存した各プロセッサの過去の状態をリセット前状態保存レジスタに保存しておき、この過去に自己プロセッサがブートプロセッサであったとき、または上記ブートプロセッサ判別用レジスタセットによりブートプロセッサと決定されたとき、二次記憶装置からブートロードを実行するような構成としたものである。

特開平3-138753 (3)

〔作用〕

この発明におけるマルチプロセッサシステムのブートロード装置は、マルチプロセッサ上でボード識別番号をブートプロセッサ識別番号として使用するので、識別番号が重複してシステムのブート不可能状態が発生するのを防止し、また、全てのプロセッサからアクセス可能なブートプロセッサ判別用レジスタセットを装備したので、ブートロード可能な二次記憶装置が接続されていないプロセッサをブートプロセッサとして選択し、その結果システムのブート不可能状態が発生することを防止する。また、リセット履歴レジスタにより過去のリセット種別（ローカルの自己ボードに対してのみのリセットか、全体システムに対するリセットあるいはシステムの電源オンか）を参照できるようにして、プロセッサの状態に合わせたブートの実行制御を可能にする。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。第1図において、1a, 1bは、ブートプロセ

ッサ用のリセットスイッチで、このリセットスイッチ6が押されたとき、プロセッサ1a, 1b, 3a~3nのプロセッシング機能のみがリセットされる。共通バスインタフェース部5や後で述べるリセット前状態保存レジスタ（または領域）10は、リセットされない。7はリセット履歴レジスタで、このレジスタ7は共通バスインタフェース部5から出力されるシステムレベルリセット信号（または電源オンリセット信号）をセット入力に入力し、リセットスイッチ6からのローカルレベルのリセット信号をリセット入力に入力するようリセット・セットフリップフロップのような回路で簡単に実現できる。8は共通バスインタフェース部5からアクセス可能なボード識別レジスタである。9はボード種別等を明らかにするためのボード名称レジスタを含むブートプロセッサ判別用レジスタセットである。このボード名称は、リードオンリメモリのような手段で保存され、不揮発性であり、また、共通バスインタフェース部5の作用により、各プロセッサ1a, 1b, 3a~3nから参照

が可能となることが可能なプロセッサであり、それぞれが二次記憶装置2a, 2bと接続されている。3a~3nは、ブートプロセッサになることが不可能なプロセッサである。4は全てのプロセッサ1a, 1b, 3a~3nが接続されている共通バスである。この共通バス4に接続されている各プロセッサ1a, 1b, 3a~3nは、共通バス4の機能により任意のプロセッサと通信が可能であり、その通信の形態は、特殊なハードウェアを使用しても、共通メモリを使用してもよい。

また、第2図はプロセッサ1a, 1b, 3a~3nの詳細を示し、同図において、5は各プロセッサ1a, 1b, 3a~3nのそれぞれに設けられて、共通バス4とのアクセスを制御する共通バスインタフェース部で、この共通バスインタフェース部5は、共通バスで生成される電源オンリセットや、システムレベルリセットを検出したとき、自分自身も含めてプロセッサ1a, 1b, 3a~3nの全体にリセット信号を発信する。6はプロセッサ1a, 1b, 3a~3nに独自に装備されるローカルリセッ

プスできる。10はリセット前状態保存レジスタである。これは、ローカルレベルのリセットでは初期化されずに過去の状態（例えば、自己プロセッサ（ボード）がブートプロセッサであったか、無かったか）を保存するのに使用される。

次に動作について、第3図のフローチャートを用いて説明する。まず、リセットや電源オンの結果初期化され、再び実行を開始したプロセッサ1a, 1b, 3a~3nは、自己診断を行う（ステップST1）。その自己診断の結果が正常か否かが判定され（ステップST2）異常なとき、自己診断エラーストップにジャンプする（ステップST3）。自己診断エラーストップでは、以下の2つの方法のいずれかで、自己診断異常を発生させたプロセッサがブートプロセッサとなることを回避する。

1) ブートプロセッサ判別用レジスタセット9に自己診断異常をセットする。

2) 共通バスインタフェース部5に信号を送り、このプロセッサが共通バス4に接続されている他のプロセッサからアクセスされないようにする。

特開平3-138753 (4)

次に、ステップST2で正常と判断されたとき、リセット履歴レジスタ7を参照することで、再スタートの原因がリセットスイッチ6によるものかどうかを判別する(ステップST4)。この判別の結果がリセットスイッチ6によるものの場合(ローカルリセットの場合)は、後に述べるとして、ここでは、リセット履歴がシステムレベルのリセットである場合をさきに示す。システムレベルリセットの場合、自己プロセッサがブート可能プロセッサかどうかを判断する(ステップST5)。これは、ボード名称レジスタを含むブートプロセッサ判別用レジスタセット9で、ボード名称がブート可能プロセッサを示し(二次記憶装置が接続されていることを示す)、また、自己診断の結果が正常の場合、ブート可能プロセッサであると判断される。次に、システムに接続されている自分より高いプライオリティのボード識別番号のプロセッサがブート可能プロセッサ(ボード名称がブート可能プロセッサを示し、そのプロセッサの自己診断結果が正常の場合)かどうかを判断し(ステ

ップST6)、自分より高いプライオリティのブート可能プロセッサがなければ、自己プロセッサ(自己ボード)がブート可能プロセッサとなる。また、ステップST5でブートプロセッサとならなかったプロセッサは、システムのブートプロセッサを判別し(ステップST7)、ブートプロセッサがブート開始を宣言するまで待つ。つまり、ブートプロセッサ判別用レジスタセット9をポーリングし、ブート開始を待つ(ステップST8)。一方、ブートプロセッサとなったプロセッサ1a、1bはポーリングレジスタにブート開始をセットし(ステップST9)、次に二次記憶装置2aまたは2bからのブートロードを行い(ステップST10)、ブートしたオペレーティングシステムの実行を開始する。このオペレーティングシステムには、第3図b)に示したブート要求サービス用のプログラムが含まれ、ステップST5、ST6でブートプロセッサにならなかったプロセッサボードがステップST7で得たブートプロセッサに対してプロセッサ間通信を用いてのステップST12におけるブート

要求に応じて(ステップST13)、第3図b)のステップST14で要求されたデータを返す。このデータを得て、ブートプロセッサ以外のプロセッサでもオペレーティングシステムの実行を開始させる(ステップST15)。

一方、上記のステップST4でローカルリセットと判断された場合には、リセット前状態保存レジスタ10を参照し、過去に自己プロセッサがブートプロセッサであったかどうかを判定する(ステップST16)。過去に自己プロセッサがブートプロセッサであったとき、ステップST10にジャンプし、自己独立型で二次記憶装置2aまたは2bからのブートを実行する。自己プロセッサがブートプロセッサではなかった場合には、ステップST12にジャンプし、ブートプロセッサにブート要求を行い、その結果ブートプロセッサ上のオペレーションシステムの管理下で実行される第3図b)のプログラムによりブートをサービスされ、ステップST15でブートされたオペレーションシステムが起動される。そして、ステップST12のブー

トプロセッサへのブート要求と、ステップST14で要求されたデータを返す部分は、プロセッサ間通信機能を用いて行われる。

〔発明の効果〕

以上のようにこの発明によればプロセッサ間通信機能を持つマルチプロセッサシステムにおいて、複数のプロセッサのうちブートプロセッサとなることが可能なプロセッサであって、自己診断の結果正常と判別されたプロセッサを、自動的にブートプロセッサと決定する機能をブートプロセッサ判別用レジスタセットにもたせ、また、システム運用中に停止したプロセッサを再スタートするとき、再スタート前の状態を保存するリセット前状態保存レジスタを参照して、二次記憶装置によりブートロードを実行するように構成したので、立ち上げ時のシステムの異常にも影響を受けず、また、運用中のシステムの異常結果の再スタートも容易に行えるものが得られる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるマルチプロ

セッサシステムのブートロード装置を示すブロック接続図、第2図は第1図のプロセッサの構成を示すブロック接続図、第3図は第1図に示すブートロード装置の動作手順を示すフローチャート図、第4図は従来のマルチプロセッサシステムのブートロード装置を示すブロック接続図、第5図は第4図に示すブートロード装置の動作手順を示すフローチャート図である。

1a, 1b, 3a~3nはプロセッサ、2a, 2bは二次記憶装置、4は共通バス、5は共通バスインタフェース部、6はリセットスイッチ、7はリセット履歴レジスタ、8はボード識別レジスタ、9はブートプロセッサ判別用レジスタセット、10はリセット前状態保存レジスタ。

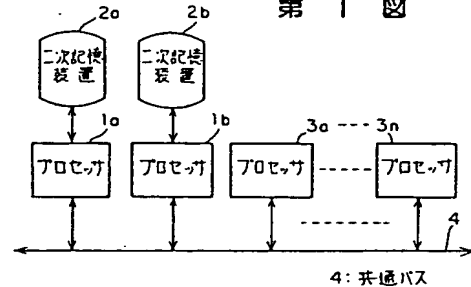
なお、図中、同一符号は同一、または相当部分を示す。

特許出願人 三菱電機株式会社

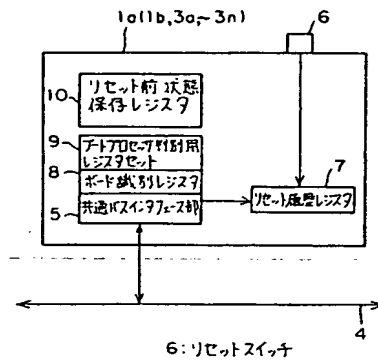
代理人 弁理士 田 澤 博 昭
(外2名)

特開平3-138753 (5)

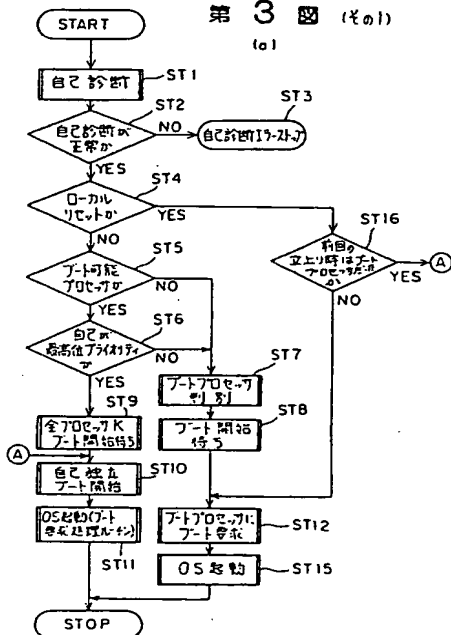
第1図



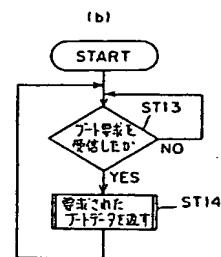
第2図



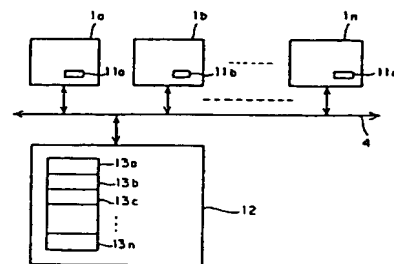
第3図 (a)



第3図 (b)



第4図



特開平3-138753(6)

第5図

